

IC DEVICE AND ITS PRODUCTION METHOD, AND INFORMATION CARRIER MOUNTED WITH IC DEVICE AND ITS PRODUCTION METHOD

Patent number: WO0051181

Publication date: 2000-08-31

Inventor: KAWAMURA SATOSHI (JP); SHIMIZU SHIN (JP)

Applicant: HITACHI MAXELL (JP); KAWAMURA SATOSHI (JP); SHIMIZU SHIN (JP)

Classification:

- **international:** G06K19/077; H01L23/498; H01L23/522; G06K19/077; H01L23/48; H01L23/52; (IPC1-7): H01L25/00

- **european:** G06K19/077T; H01L23/498K; H01L23/522L

Application number: WO2000JP01029 20000223

Priority number(s): JP19990046545 19990224; JP19990059753 19990308

Also published as:

EP1193759 (A1)
CN1520612 (A)
EP1193759 (B1)
DE60014377T (T)

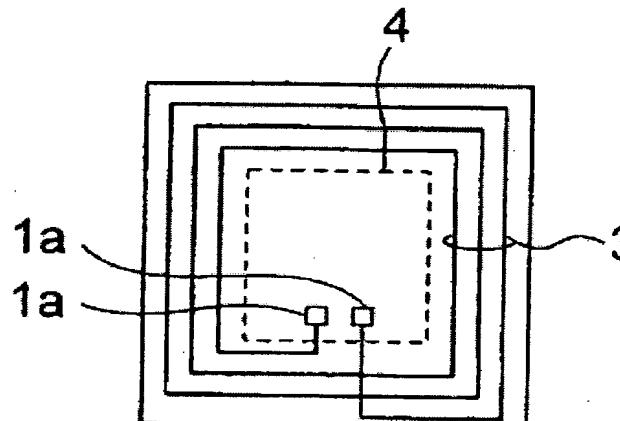
Cited documents:

JP8222695
JP11017443
US5856662
JP10320519
JP10302040
[more >>](#)

[Report a data error](#) [he](#)

Abstract of WO0051181

An information carrier mounted with an IC device which is integral with a coil and having a long communication range and its production method, and a structure of an IC device preferable to this type of information carrier and its production method. The IC device includes a conductor constituting a coil (3) and having a multilayer structure comprising a metal sputter layer or metal vapor deposition layer (6) and a metal plating layer (7). The method for producing such an IC device comprises forming a metal plating layer (7) by precision electrocasting. The information carrier includes an IC device (1) disposed at the planar center of a base (21). The method for producing such an information carrier comprises mounting a required part including an IC device one of bandlike bases (41 to 45), and punching the bandlike base to produce one of required information carriers (20a to 20h).



Data supplied from the **esp@cenet** database - Worldwide

PCT

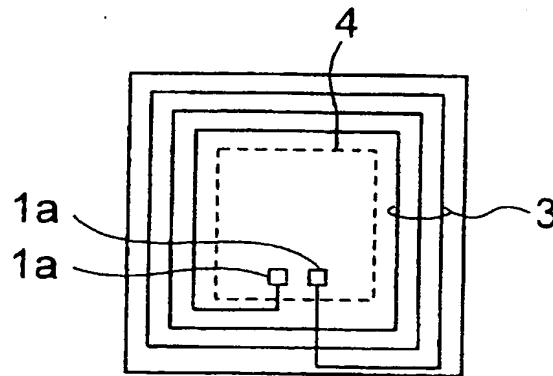
世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7 H01L 25/00	A1	(11) 国際公開番号 WO00/51181
		(43) 国際公開日 2000年8月31日(31.08.00)
(21) 国際出願番号 PCT/JP00/01029		
(22) 国際出願日 2000年2月23日(23.02.00)		
(30) 優先権データ 特願平11/46545 特願平11/59753	JP JP	(81) 指定国 AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, 欧州特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許(GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)
(71) 出願人(米国を除くすべての指定国について) 日立マクセル株式会社(HITACHI MAXELL, LTD.)[JP/JP] 〒567-8567 大阪府茨木市丑寅一丁目1番88号 Osaka, (JP)		
(72) 発明者: および (75) 発明者/出願人(米国についてのみ) 川村哲士(KAWAMURA, Satoshi)[JP/JP] 〒236-0021 神奈川県横浜市金沢区泥亀1-28F1202 Kanagawa, (JP)		添付公開書類 国際調査報告書
清水 伸(SHIMIZU, Shin)[JP/JP] 〒214-0013 神奈川県川崎市多摩区登戸新町141 アークヒルズ304 Kanagawa, (JP)		
(74) 代理人 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)		

(54) Title: **IC DEVICE AND ITS PRODUCTION METHOD, AND INFORMATION CARRIER MOUNTED WITH IC DEVICE AND ITS PRODUCTION METHOD**

(54) 発明の名称 IC素子及びその製造方法並びにIC素子を搭載した情報担体及びその製造方法



(57) Abstract

An information carrier mounted with an IC device which is integral with a coil and having a long communication range and its production method, and a structure of an IC device preferable to this type of information carrier and its production method. The IC device includes a conductor constituting a coil (3) and having a multilayer structure comprising a metal sputter layer or metal vapor deposition layer (6) and a metal plating layer (7). The method for producing such an IC device comprises forming a metal plating layer (7) by precision electrocasting. The information carrier includes an IC device (1) disposed at the planar center of a base (21). The method for producing such an information carrier comprises mounting a required part including an IC device one of bandlike bases (41 to 45), and punching the bandlike base to produce one of required information carriers (20a to 20h).

(57)要約

コイルが一体形成された IC 素子が搭載された通信距離がより大きな情報担体とその製造方法と、この種の情報担体に好適な IC 素子の構成とその製造方法。

IC 素子については、コイル 3 を構成する導体を、金属スパッタ層又は金属蒸着層 6 と金属めっき層 7 とを有する多層構造にした。IC 素子の製造方法については、金属めっき層 7 の形成手段として、精密電鋳法を用いた。情報担体については、基体 21 の平面方向の中心部に IC 素子 1 を配置するという構成にした。情報担体の製造方法については、帯状素材 41 ~ 45 のいずれかに IC 素子を含む所要の搭載部品が搭載されたものを作製し、次いで、この帯状素材から所要の情報担体 20a ~ 20h を打ち抜き形成するという構成にした。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A E アラブ首長国連邦	D M ドミニカ	K Z カザフスタン	R U ロシア
A G アンティグア・バーブーダ	D Z アルジェリア	L C セントルシア	S D スーダン
A L アルベニア	E E エストニア	L I リヒテンシュタイン	S E スウェーデン
A M アルメニア	E S スペイン	L K スリ・ランカ	S G シンガポール
A T オーストリア	F I フィンランド	L R リベリア	S I スロヴェニア
A U オーストラリア	F R フランス	L S レソト	S K スロヴァキア
A Z アゼルバイジャン	G A ガボン	L T リトアニア	S L シエラ・レオネ
B A ボズニア・ヘルツェゴビナ	G B 英国	L U ルクセンブルグ	S N セネガル
B B バルバドス	G D グレナダ	L V ラトヴィア	S Z スウェーデン
B E ベルギー	G E グルジア	M A モロッコ	T D チャード
B F ブルギナ・ファソ	G H ガーナ	M C モナコ	T G トーゴー
B G ブルガリア	G M ガンビア	M D モルドバ	T J タジキスタン
B J ベナン	G N ギニア	M G マダガスカル	T M トルクメニスタン
B R ブラジル	G R ギリシャ	M K マケドニア旧ユーゴスラヴィア	T R トルコ
B Y ペラルーシ	G W ギニア・ビサオ	共和国	T T トリニダッド・トバゴ
C A カナダ	H R クロアチア	M L マリ	T Z タンザニア
C F 中央アフリカ	H U ハンガリー	M N モンゴル	U A ウクライナ
C G コンゴー	I D インドネシア	M R モーリタニア	U G ウガンダ
C H スイス	I E アイルランド	M W マラウイ	U S 米国
C I コートジボアール	I L イスラエル	M X メキシコ	U Z ウズベキスタン
C M カーメルーン	I N インド	M Z モザンビーク	V N ベトナム
C N 中国	I S アイスランド	N E ニジエール	Y U ユーロースラヴィア
C R コスタ・リカ	I T イタリア	N L オランダ	Z A 南アフリカ共和国
C U キューバ	J P 日本	N O ノールウェー	Z W ジンバブエ
C Y キプロス	K E ケニア	N Z ニュージーランド	
C Z チェコ	K G キルギスタン	P L ポーランド	
D E ドイツ	K P 北朝鮮	P T ポルトガル	
D K デンマーク	K R 韓国	R O ルーマニア	

明細書

IC素子及びその製造方法並びにIC素子を搭載した情報担体及びその製造方法

5 技術分野

本発明は、チップ上にコイルが一体形成されたIC素子と、当該IC素子の製造方法と、当該IC素子を搭載した情報担体と、当該情報担体の製造方法とに関する。

背景技術

10 従来より、所定形状の基体内にIC素子と当該IC素子の端子部に電気的に接続されたアンテナコイルとを備え、リーダライタからの電力の受給及びリーダライタとの間の信号の送受信を電磁波を用いて非接触で行う非接触式の情報担体が知られている。この種の情報担体としては、その外形により、カード形、コイン形又はボタン形などがある。

15 従来、この種の情報担体としては、アンテナコイルを基体にパターン形成したもの、或いは、巻線からなるアンテナコイルを基体に担持したものが用いられているが、近年に至って、アンテナコイルとIC素子との接続点の保護処理や防湿対策が不要で安価に作成できること、及び基体に曲げやねじれ等のストレスが作用した場合にもコイルに断線を生じることがなく耐久性に優れることから、IC
20 素子自体にアンテナコイルが一体形成されたIC素子を基体に搭載したものが提案されている。

IC素子にアンテナコイルを形成する方法としては、スパッタ法が用いられており、IC素子に一体形成されたアンテナコイルの導体は、アルミニウムのスパッタ膜から構成されている。

25 ところで、アンテナコイルをIC素子に一体形成すると、アンテナコイルを基体にパターン形成したり、巻線からなるアンテナコイルを基体に担持する場合に比べて、コイルの巻径や導体幅が小さくなり、巻数についても自ずと限界があるため、リーダライタとの間の通信距離を大きくすることが困難になる又は、通信距離を確保することができない。

本発明は、かかる従来技術の不備を解消するためになされたものであって、アンテナコイルが一体形成されたIC素子を搭載してなる情報担体であって、通信距離がより大きな情報担体とその製造方法を提供すること、及び、この種の情報担体に好適なアンテナコイルが一体形成されたIC素子の構成とその製造方法と
5 を提供することを技術的な課題とするものである。

発明の開示

〈IC素子〉

本発明は、前記の課題を達成するため、IC素子については、コイルが一体形成されたIC素子において、前記コイルを構成する導体を、金属スパッタ層又は
10 金属蒸着層と金属めっき層とを有する多層構造にした。

金属めっき層は、金属スパッタ層や金属蒸着層に比べて電気抵抗値が小さいので、コイルの導体を金属スパッタ層又は金属蒸着層と金属めっき層とを有する多層構造にすると、単に金属スパッタ層のみ又は金属蒸着層のみから構成した場合に比べて電磁エネルギーの損失を小さくすることができ、リーダライタとの間の通信距離を大きくすることができる。
15

〈IC素子の製造方法〉

本発明は、前記の課題を達成するため、IC素子の製造方法については、第1に、所定のプロセスを経て作製された完成ウエハの表面保護膜上に金属スパッタ層又は金属蒸着層を均一に形成する工程と、当該金属スパッタ層又は金属蒸着層
20 上にフォトレジスト層を均一に形成する工程と、前記フォトレジスト層にコイルを含む所要のパターンを露光し、現像後、前記金属スパッタ層又は金属蒸着層を前記所定のパターンで露出させる工程と、前記金属スパッタ層又は金属蒸着層の露出部分に無電解めっき法又は電気めっき法若しくは精密電鋳法を用いて金属め
25 つき層を積層する工程と、前記完成ウエハに付着したフォトレジスト層を除去する工程と、前記金属めっき層より露出した前記金属スパッタ層又は金属蒸着層を選択的にエッチングし、前記所定のパターンに相当する所定の導電パターンを形成する工程と、前記完成ウエハをスクライビングしてコイルが一体形成された所要のIC素子を得る工程とを含む構成とした。

また、第2に、所定のプロセスを経て作製された完成ウエハの表面保護膜上に

フォトレジスト層を均一に形成する工程と、前記フォトレジスト層にコイルを含む所要のパターンを露光し、現像後、前記表面保護膜を前記所定のパターンで露出させる工程と、現像処理後の完成ウエハをスパッタ装置又は真空蒸着装置に装着し、前記表面保護膜の露出部分に金属スパッタ層又は金属蒸着層を形成する工程と、前記完成ウエハに付着したフォトレジスト層を除去する工程と、前記金属スパッタ層又は金属蒸着層に無電解めっき法又は電気めっき法を用いて金属めっき層を積層する工程と、前記完成ウエハをスクライビングしてコイルが一体形成された所要のIC素子を得る工程とを含む構成とした。

かように、完成ウエハにコイルを含む所要の導電パターンを形成し、しかる後に完成ウエハをスクライビングして所要のIC素子を得ると、個々のIC素子にコイルを形成する場合に比べてコイルが一体形成されたIC素子を高能率に製造でき、その製造コストを低減することができる。また、ウエハに形成された全てのIC素子に対して均一の厚みのコイルを高精度で形成することが可能となり、通信特性のばらつきを少なくすることが可能となる。

また、個々のIC素子についてスパッタ法又は真空蒸着法及びメッキ法を用いてコイルを形成すると、IC素子の外周部に不要の導体が付着してIC素子の絶縁性が問題になるが、完成ウエハにコイルを含む所要の導電パターンを形成した場合には、スパッタ時等において完成ウエハの外周部に不要の導体が付着しても、該部は不要部分としてもともと処分されるべき部分であるので、個々のIC素子の絶縁性が問題になることもない。

(情報担体)

本発明は、前記の課題を達成するため、情報担体については、アンテナコイルが一体形成されたIC素子を基体に搭載してなる情報担体において、前記IC素子を前記基体の平面方向の中心部に配置するという構成にした。

かように、IC素子を基体の平面方向の中心部に配置すると、IC素子に一体形成されたコイルとリーダライタに備えられたアンテナコイルの中心を合致させやすくなるので、両コイル間の電磁結合係数を大きくすることができ、リーダライタから情報担体への電力の供給及びリーダライタと情報担体との間の信号の送受信を確実に行うことができる。特に、情報担体を構成する基体の形状を、円形

や正方形それに正多角形など、リーダライタに対する方向性がないか、リーダライタに対する方向性が少ない形状にした場合には、IC素子に一体形成されたコイルとリーダライタに備えられたアンテナコイルの中心をより合致させやすくなるので、より使用が容易な情報担体とすることができます。

5 <情報担体の製造方法>

本発明は、前記の課題を達成するため、情報担体の製造方法については、第1に、IC素子を挿入可能な多数の透孔が規則的に開設された第1帯状素材と透孔を有しない第2帯状素材とを接合する工程と、コイルが一体形成されたIC素子を前記透孔内に収納して固定する工程と、前記第1帯状素材と透孔を有しない第10 3帯状素材とを接合する工程と、接合された前記第1乃至第3の帯状素材を一体に打ち抜いて前記IC素子を有する所要の情報担体を得る工程とを含むという構成にした。

第2に、IC素子を挿入可能な多数の透孔が規則的に開設され、かつ、当該各透孔の周囲にリング状の凹部が同心円状に形成された第1帯状素材の前記凹部内15 に前記IC素子とは独立の別体に形成されたコイルを収納して固定する工程と、前記第1帯状素材の片面に透孔を有しない第2帯状素材を接合する工程と、コイルが一体形成されたIC素子を前記透孔内に収納して固定する工程と、前記第1帯状素材と透孔を有しない第3帯状素材とを接合する工程と、接合された前記第1乃至第3の帯状素材を一体に打ち抜いて前記IC素子及び当該IC素子とは独立の別体に形成されたコイルを有する所要の情報担体を得る工程とを含むという構成にした。

かように、帯状素材に所要のIC素子（又はIC素子とコイル）が搭載されたものを作製し、かかる後にこの帯状素材から所要の情報担体を打ち抜き形成するようになると、同一の情報担体を高能率に製造することができるので、所要の情報担体の製造コストを低減することができる。

なお、前記第1及び第2の製造方法においては、情報担体の基体を3部材（第1乃至第3の帯状素材）で形成したが、第1帯状素材にIC素子を収納するための透孔を開設する構成に代えて、第1帯状素材にIC素子を収納するための凹部を形成することにより、情報担体の基体を2部材で形成することもできる。

また、前記第1及び第2の製造方法においては、IC素子（又はIC素子とコイル）を帯状素材内に完全に埋設したが、帯状素材に開設された透孔又は帯状素材に形成された凹部内にIC素子（又はIC素子とコイル）を収納した後、前記透孔又は凹部を樹脂封止することによって、IC素子（又はIC素子とコイル）
5 を帯状素材の片面に露出させることもできる。

さらに、IC素子（又はIC素子とコイル）を帯状素材の片面に露出させる場合には、帯状素材にIC素子（又はIC素子とコイル）を収納するための凹部を形成することにより、情報担体の基体を1部材で形成することもできる。

図面の簡単な説明

10 図1A, 1B, 1Cは実施形態例に係るIC素子の平面図である。

図2A, 2Bは実施形態例に係るIC素子の要部断面図である。

図3は、完成ウエハの平面図である。

図4A, 4B, 4C, 4D, 4E, 4Fは、本発明に係るIC素子製造方法の第1例を示す工程図である。

15 図5A, 5B, 5C, 5D, 5Eは、本発明に係るIC素子製造方法の第2例を示す工程図である。

図6は、アンテナコイルを含む所要の導電パターンが形成された完成ウエハの平面図である。

図7は、第1実施形態例に係る情報担体の一部切断した平面図である。

20 図8は、第1実施形態例に係る情報担体の分解斜視図である。

図9は、第1実施形態例に係る情報担体の断面図である。

図10は、第1実施形態例に係る情報担体の使用状態の説明図である。

図11は、第2実施形態例に係る情報担体の断面図である。

図12は、第3実施形態例に係る情報担体の断面図である。

25 図13は、第4実施形態例に係る情報担体の断面図である。

図14は、第5実施形態例に係る情報担体の断面図である。

図15は、第6実施形態例に係る情報担体の断面図である。

図16は、第7実施形態例に係る情報担体の断面図である。

図17は、第8実施形態例に係る情報担体の断面図である。

図18は、帯状素材の第1例を示す部分斜視図である。

図19は、帯状素材の第2例を示す部分斜視図である。

図20は、帯状素材の第3例を示す部分斜視図である。

図21は、帯状素材の第4例を示す部分斜視図である。

5 図22は、帯状素材の第5例を示す部分斜視図である。

発明を実施するための最良の形態

〈IC素子〉

以下、本発明に係るIC素子の実施形態例を、図1A、1B、1C及び図2A、
2Bに基づいて説明する。図1A、1B、1Cは実施形態例に係るIC素子の平
10 面図、図2A、2Bは実施形態例に係るIC素子の要部断面図である。

本実施形態例に係るIC素子は、図1A、1B、1C及び図2A、2Bに示す
ように、IC素子1の入出力端子1aの形成面側に、酸化シリコン膜や樹脂膜等
の絶縁性の表面保護膜2を介して、矩形スパイラル形状のアンテナコイル3を一
体に形成してなる。

15 図1AのIC素子1は、回路形成部4を除く外周部にのみアンテナコイル3を
形成したものであって、IC素子1に形成された回路とアンテナコイル3との間
における浮遊容量の発生を防止することができ、リーダライタからの電力の受給
効率及びリーダライタとの間の信号の送受信効率を高めることができる。

図1BのIC素子1は、回路形成部4と対向する部分までアンテナコイル3を
20 形成したものであって、コイルの巻数を多くできることから、リーダライタから
の電力の受給効率及びリーダライタとの間の信号の送受信効率を高めることができ
る。

尚、図1Bの実施例においては回路形成部4の一部にアンテナコイルが重なる
ものとしたが、IC素子を小型・低コストにするために回路形成部4上に全ての
25 アンテナコイルを形成することも可能である。

図1CのIC素子1は、矩形スパイラル形状に形成されたアンテナコイル3の
角の部分を斜めに面取りしたものであって、角部における電流集中を防止してア
ンテナコイル3の抵抗値を低減することができ、リーダライタからの電力の受給
効率及びリーダライタとの間の信号の送受信効率を高めることができる。面取り

の形状は円弧状にしても同様の効果を得ることができる。また、面取りは各線の内周側及び外周側の双方に施すことが好ましいが、外周側にのみ施した場合にも効果がある。

いずれの場合にも、実用上十分な電力の供給を受け、かつ、リーダライタとの間の通信特性を確保するためには、前記アンテナコイル3の線幅を7μm以上、線間距離を5μm以下、巻数を20ターン以上とすることが好ましい。

IC素子1の入出力端子1aとアンテナコイル3との接続は、表面保護膜2に開設された透孔5を介して行われる。この場合、アンテナコイル3の形成位置が若干ずれた場合にも、入出力端子1aとアンテナコイル3との接続が確実に行われるよう、図2A, 2Bに示す如く、透孔5の直径又は幅をアンテナコイル3の線幅よりも小さくすることがより好ましい。

アンテナコイル3を構成する導体は、図2A, 2Bに示すように、金属スパッタ層又は金属蒸着層6と金属めっき層7を含む多層構造になっている。図2Aは、金属スパッタ層又は金属蒸着層6の上面にのみ金属めっき層7を形成した例であり、図2Bは、金属スパッタ層又は金属蒸着層6の周面全体に金属めっき層7を形成した例を示している。前記金属スパッタ層又は金属蒸着層6及び金属めっき層7は、任意の導電性金属をもって形成することができるが、比較的安価で導電率が高いことから、金属スパッタ層又は金属蒸着層6についてはアルミニウム又はニッケル又は銅若しくはクロムで形成することが好ましく、図2A, 図2Bに示すように、単層もしくは、複数の組合せからなる積層とすることができる。前記金属めっき層7は、銅で形成することが好ましく、無電解めっき法又は電気めっき法若しくは精密電鋳法により形成することができる。

〈IC素子の製造方法〉

次に、本発明に係るIC素子製造方法の実施形態例を、図3乃至図6に基づいて説明する。図3は所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図、図4A, 4B, 4C, 4D, 4E, 4Fは本発明に係るIC素子製造方法の第1例を示す工程図、図5A, 5B, 5C, 5D, 5Eは本発明に係るIC素子製造方法の第2例を示す工程図、図6はアンテナコイルを含む所要の導電パターンが形成された完成ウエハの平面図である。

図3に示すように、完成ウエハ11には、最外周部を除く内周部分に多数個のIC素子用の回路12が等間隔に形成されており、その回路形成面側には、所要の表面保護膜2が形成されている（図4及び図5参照）。

- 図4A, 4B, 4C, 4D, 4E, 4Fに示す第1実施形態例に係るIC素子
5 製造方法では、まず図4Aに示すように、完成ウエハ11の回路形成面の表面保
護膜2の上に、アルミニウム又はアルミニウム合金若しくは銅又は銅合金を用い
て、金属スパッタ層又は金属蒸着層6を均一に形成する。次いで、図4Bに示す
ように、当該金属スパッタ層又は金属蒸着層6上にフォトレジスト層12を均一
に形成し、形成されたフォトレジスト層12にコイルを含む所要のパターンが形
10 成されたマスク13を被せ、マスク13の外側から所定波長の光14を照射して
フォトレジスト層12を露光する。しかる後に露光されたフォトレジスト層12
の現像処理を行い、図4Cに示すように、フォトレジスト層12の露光部分を除
去して、前記金属スパッタ層又は金属蒸着層6の前記露光パターンと対応する部
分を露出させる。金属スパッタ層又は金属蒸着層6の露出パターンには、図6に
15 示すように、リング状の電極部15と、前記各回路12と対向する部分に形成さ
れたアンテナコイル3と、これら電極部15と各アンテナコイル3とを連結する
リード部16とが含まれる。次いで、前記電極部15を一方の電極として、金属
スパッタ層又は金属蒸着層6の露出部分に電気めっき又は精密電鋳を施し、図4
Dに示すように、金属スパッタ層又は金属蒸着層6の露出部分に金属めっき層7
20 を積層する。次いで、完成ウエハ11の表面に付着したフォトレジスト層12を
アッシング処理等によって除去し、図4Eに示すように、均一な金属スパッタ層
又は金属蒸着層6上に電極部15とアンテナコイル3とリード部16とを有する
金属めっき層7が形成された完成ウエハ11を得る。次いで、金属めっき層7より
25 露出した金属スパッタ層又は金属蒸着層6を選択的にエッチングし、図4Fに
示すように、金属めっき層7より露出した金属スパッタ層又は金属蒸着層6を除
去する。これによって、金属スパッタ層又は金属蒸着層6と金属めっき層7とが
共に図6に示す所要の導電パターンに形成された完成ウエハ11が得られる。最
後に、前記完成ウエハ11をスクライビングして、図1に示す所要のIC素子1
を得る。

なお、前記実施形態例においては、金属めっき層7の形成手段として電気めっき法又は精密電鋳法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層7を形成することもできる。この場合には、金属めっき層7の形成に電極を必要としないので、フォトレジスト層12の露光に際して、電極部5 15の形成とリード部16の形成が不要になる。

無電解めっきは、化学めっきとも呼ばれ、素地金属をめっき金属の金属塩溶液中に浸して金属イオンを素地表面に析出させるもので、比較的簡単な設備で密着力が強く均一で十分な厚みを有するめっき層が得られるという特徴がある。前記金属塩は、めっきする金属イオンの供給源となるものであり、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。銅などの金属イオンは、素地となる金属スパッタ層又は金属蒸着層6上にのみに析出し、絶縁性の表面保護層2上には析出しない。素地材は、めっき金属イオンに対してイオン化傾向が小さく、かつ、めっき金属イオンの析出に対する触媒作用をもつ必要がある。このため、アルミニウムからなる金属スパッタ層又は金属蒸着層6上に銅をめっきする場合には、アルミニウム層の表面にニッケルを数 μm 以下の厚さに形成し、硝酸亜鉛液に数秒間浸して亜鉛に置換する前処理を施すことが好ましい。

一方、電気めっき法及び精密電鋳法は、めっき金属のイオンを含むめっき浴中に金属スパッタ層又は金属蒸着層6が形成された完成ウエハ11とめっき金属からなる電極とを浸漬し、完成ウエハ11に形成された金属スパッタ層又は金属蒸着層6を陰極、めっき浴中に浸漬された電極を陽極として電圧を印加し、めっき浴中の金属イオンを金属スパッタ層又は金属蒸着層6の表面に析出させる方法である。電気めっき法及び精密電鋳法も、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。

25 本例のIC素子製造方法は、完成ウエハ11にコイルを含む所要の導電パターンを形成し、しかる後に完成ウエハ11をスクライビングして所要のIC素子1を得るという構成にしたので、個々のIC素子にコイルを形成する場合に比べてコイルが一体形成されたIC素子を高能率に製造でき、その製造コストを低減することができる。また、ウエハに形成された全てのIC素子に対して均一の厚み

のコイルを高精度で形成することが可能となり、通信特性のばらつきを少なくすることができる。また、個々の IC 素子についてスパッタ法又は真空蒸着法及びメッキ法を用いてコイルを形成すると、IC 素子の外周部に不要の導体が付着して IC 素子の絶縁性が問題になるが、完成ウエハ 1 1 にコイルを含む所要の導電 5 パターンを形成した場合には、スパッタ時等において完成ウエハ 1 1 の外周部に不要の導体が付着しても、該部は不要部分としてもともと処分されるべき部分であるので、個々の IC 素子の絶縁性に悪影響を与えることもない。さらに、本例の IC 素子製造方法は、フォトレジスト層 1 2 がある状態で金属めっき層 7 の形成を行い、しかる後に、金属スパッタ層又は金属蒸着層 6 の金属めっき層 7 が積 10 層されていない部分をエッチングによって除去するようにしたので、図 2 A に示すように、金属めっき層 7 が金属スパッタ層又は金属蒸着層 6 の上面にのみ積層され、幅方向に広がらないので、精密なアンテナコイル 3 を形成することができ、狭い面積内に巻数の多いアンテナコイル 3 を形成することができる。

一方、図 5 に示す第 2 実施形態例に係る IC 素子製造方法では、図 5 A に示す 15 ように、完成ウエハ 1 1 に形成された表面保護膜 2 上にフォトレジスト層 1 2 を均一に形成し、形成されたフォトレジスト層 1 2 にコイルを含む所要のパターンが形成されたマスク 1 3 を被せ、マスク 1 3 の外側から所定波長の光 1 4 を照射してフォトレジスト層 1 2 を露光する。しかる後に露光されたフォトレジスト層 1 2 の現像処理を行い、図 5 B に示すように、フォトレジスト層 1 2 の露光部分 20 を除去して、表面保護膜 2 の前記露光パターンと対応する部分を露出させる。フォトレジスト層 1 2 の露光パターンは、図 6 に示すように、電極部 1 5 とアンテナコイル 3 とリード部 1 6 とを含む形状にすることができる。次いで、現像処理後の完成ウエハ 1 1 をスパッタ装置又は真空蒸着装置に装着し、図 5 C に示すように、前記表面保護膜 2 の露出部分に金属スパッタ層又は金属蒸着層 6 を形成する。次いで、図 5 D に示すように、完成ウエハ 1 1 に付着したフォトレジスト層 1 2 をアッシング処理等によって除去した後、電極部 1 5 を一方の電極として、金属スパッタ層又は金属蒸着層 6 に電気めっきを施し、図 5 E に示すように、金属スパッタ層又は金属蒸着層 6 の露出部分に金属めっき層 7 を積層する。最後に、前記完成ウエハ 1 1 をスクライビングして、図 1 に示す所要の IC 素子 1 を得る。

なお、前記実施形態例においては、金属めっき層7の形成手段として電気めっき法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層7を形成することもできる。この場合には、金属めっき層7の形成に電極を必要としないので、フォトレジスト層12の露光に際して、電極部15の形成とり5 一ド部16の形成が不要になる。

本例のIC素子製造方法は、前記第1実施形態例に係るIC素子製造方法と同様の効果を有するほか、完成ウエハ11に導電パターンを形成するための工程数を少なくできるので、アンテナコイルが一体形成されたIC素子をより高能率に製造することができる。

10 〈情報担体〉

以下、本発明に係る情報担体の実施形態例を、図7乃至図17に基づいて説明する。図7は第1実施形態例に係る情報担体の一部切断した平面図、図8は第1実施形態例に係る情報担体の分解斜視図、図9は第1実施形態例に係る情報担体の断面図、図10は第1実施形態例に係る情報担体の使用状態の説明図、図11 15 は第2実施形態例に係る情報担体の断面図、図12は第3実施形態例に係る情報担体の断面図、図13は第4実施形態例に係る情報担体の断面図、図14は第5実施形態例に係る情報担体の断面図、図15は第6実施形態例に係る情報担体の断面図、図16は第7実施形態例に係る情報担体の断面図、図17は第8実施形態例に係る情報担体の断面図である。

20 第1実施形態例に係る情報担体20aは、図7乃至図9に示すように、平面形状が円形に形成されたコイン形の基体21と、当該基体21の平面方向及び厚さ方向の中心部に設定されたIC素子1とからなる。IC素子1としては、図1及び図2に示すように、アンテナコイルが一体形成されたものが用いられる。

基体21は、図8及び図9に示すように、上部材22と中間部材23と下部材 25 24とから構成されており、それぞれ接着剤層25を介して一体に接合されている。基体21を構成する各部材22, 23, 24は、紙材又はプラスチックシートをもって形成することができるが、廃棄後に自然分解し、焼却しても有蓋ガスの発生量が少なく、価格的にも安価であることから、紙材をもって作製することが特に好ましい。また、前記各部材22, 23, 24の1つ又は2つを紙材にて

形成し、他の1つ又は2つをプラスチックシートにて形成することももちろん可能である。

前記中間部材23の中央部には、IC素子1を内挿可能な透孔27が開設されており、前記各部材22, 23, 24を接合することによって形成される空間内にIC素子1が収納される。なお、IC素子1は、取扱時の動搖を防止するため下部材24に接着することが好ましい。この場合、下部材24の片面に接着剤層25を均一に形成しておき、この接着剤層25を利用して中間部材23と下部材24との接着と、下部材24とIC素子1との接着を行うようにすることが、コスト上有利である。また、透孔27の平面形状は任意の形状とすることができますが、中間部材23と下部材24とを接合することによって形成される凹部にIC素子1を収納する際、当該凹部とIC素子1の回転方向の向きを厳密に合わせる必要がないことから、図7及び図8に示すように、円形の透孔27を形成する方が製造上有利である。

本例の情報担体20aは、IC素子1を円形に形成された基体21の平面方向の中心部に配置したので、図10に示すように、略半円形のスロット101と当該スロット101における円弧部の中心に備えられた非接触通信用のアンテナコイル102とを有するリーダライタ100の前記スロット101内に情報担体20を挿入することによって、自動的にIC素子1に一体形成されたアンテナコイル3とリーダライタ100に備えられたアンテナコイル102の心出しを行うことができ、両コイル3, 102間の電磁結合係数を大きくできることから、リーダライタ100から情報担体20への電力の供給及びリーダライタ100と情報担体20との間の信号の送受信を確実に行うことができる。また、情報担体20aの平面形状を円形に形成したので、略半円形に形成されたスロット101に対する方向性がなく、使用の容易性に優れる。さらに、IC素子1を基体21内に完全に収納したので、IC素子1の保護効果が高く耐久性に優れると共に、該部からIC素子1が見えないので、美観にも優れる。

第2実施形態例に係る情報担体20bは、図11に示すように、上部材22と中間部材23と下部材24との3部材をもって基体21を構成すると共に、IC素子1の周囲にブースタコイル28を同心円状に配置したことを特徴とする。図

- 中の符号 29 はブースタコイル 28 を収納するための凹部を示しており、この凹部 29 は中間部材 23 の透孔 27 の周囲にリング状に形成される。その他の構成については、前記第 1 実施例に係る情報担体 20a と同じであるので、重複を避けるために説明を省略する。本例の情報担体 20b は、第 1 実施形態例に係る情報担体 20a と同様の効果を有するほか、IC 素子 1 の周囲にブースタコイル 28 を同心円状に配置したので、IC 素子 1 に一体形成されたアンテナコイル 3 とリーダライタ 100 に備えられたアンテナコイル 102 との電磁結合をブースタコイル 28 を介することによってより高いものとすることができます、より一層の電力供給の安定化及び信号送受信の安定化又は通信距離の増加を図ることができる。
- 第 3 実施形態例に係る情報担体 20c は、図 12 に示すように、上部材 22 と下部材 24 との 2 部材をもって基体 21 を構成し、下部材 24 に IC 素子 1 を収納するための凹部 30 を形成したことを特徴とする。その他の構成については、前記第 1 実施例に係る情報担体 20a と同じであるので、重複を避けるために説明を省略する。本例の情報担体 20c は、第 1 実施形態例に係る情報担体 20a と同様の効果を有するほか、部品点数が少ないとから、情報担体のより一層の低コスト化を図ることができる。

第 4 実施形態例に係る情報担体 20d は、図 13 に示すように、上部材 22 と下部材 24 との 2 部材をもって基体 21 を構成し、下部材 24 に IC 素子 1 を収納するための第 1 凹部 30 とブースタコイル 28 を収納するための第 2 凹部 29 を形成したことを特徴とする。その他の構成については、前記第 3 実施例に係る情報担体 20c と同じであるので、重複を避けるために説明を省略する。本例の情報担体 20c は、第 2 実施形態例に係る情報担体 20b と同様の効果を有するほか、部品点数が少ないとから、情報担体のより一層の低コスト化を図ることができます。

第 5 実施形態例に係る情報担体 20e は、図 14 に示すように、IC 素子収納用の透孔 27 が開設された上部材 22 と当該透孔 27 を有しない下部材 24 との 2 部材をもって基体 21 を構成し、上部材 22 と下部材 24 とを接合することによって形成される凹部内に IC 素子 1 を収納し、当該凹部内をポッティング樹脂 31 で封止したことを特徴とする。その他の構成については、前記第 1 実施例に

係る情報担体 20a と同じであるので、重複を避けるために説明を省略する。本例の情報担体 20e は、IC 素子 1 が基体をもって被覆されない点を除いて、第 1 実施形態例に係る情報担体 20a と同様の効果を有する。

第 6 実施形態例に係る情報担体 20f は、図 15 に示すように、IC 素子収納用の透孔 27 が開設されると共に当該透孔 27 の周囲にブースタコイル収納用の凹部 29 が同心に形成された上部材 22 と、前記透孔 27 及び凹部 29 を有しない下部材 24 との 2 部材をもって基体 21 を構成し、前記凹部 29 内にブースタコイル 28 を収納して当該凹部 29 内をポッティング樹脂 31 で封止すると共に、上部材 22 と下部材 24 とを接合することによって形成される凹部内に IC 素子 1 を収納して当該凹部内をポッティング樹脂 31 で封止したことを特徴とする。

その他の構成については、前記第 5 実施例に係る情報担体 20e と同じであるので、重複を避けるために説明を省略する。本例の情報担体 20f は、IC 素子 1 が基体をもって被覆されない点を除いて、第 1 実施形態例に係る情報担体 20a と同様の効果を有する。

第 7 実施形態例に係る情報担体 20g は、図 16 に示すように、片面に IC 素子 1 を収納するための凹部 30 が形成された 1 部材をもって基体 21 を構成し、前記凹部 30 内に IC 素子 1 を収納して当該凹部 30 内をポッティング樹脂 31 で封止したことを特徴とする。その他の構成については、前記第 5 実施例に係る情報担体 20e と同じであるので、重複を避けるために説明を省略する。本例の情報担体 20g は、第 5 実施形態例に係る情報担体 20e と同様の効果を有するほか、部品点数が少ないことから、情報担体のより一層の低コスト化を図ることができる。

第 8 実施形態例に係る情報担体 20h は、図 17 に示すように、片面に IC 素子 1 を収納するための第 1 凹部 30 とブースタコイル 28 を収納するための第 2 凹部 29 が形成された 1 部材をもって基体 21 を構成し、前記第 1 凹部 30 内に IC 素子 1 を収納して当該凹部 30 内をポッティング樹脂 31 で封止すると共に、前記第 2 凹部 29 内にブースタコイル 28 を収納して当該凹部 29 内をポッティング樹脂 31 で封止したことを特徴とする。その他の構成については、前記第 7 実施例に係る情報担体 20g と同じであるので、重複を避けるために説明を省略

する。本例の情報担体 20 h は、第 6 実施形態例に係る情報担体 20 f と同様の効果を有するほか、部品点数が少ないことから、情報担体のより一層の低コスト化を図ることができる。

- なお、前記各実施形態例においては、基体 21 の平面形状を円形に形成したが、
5 その他、正方形、長方形、三角形又は多角形など、任意の形状に形成することができる。

- なお、前記第 2、第 4、第 6、第 8 実施形態例に係る情報担体においては、独立したブースターコイル 28 を基体 21 の透孔部および凹部に設置したが、基体
10 21 を構成する部材に印刷・メッキ・スパッタ等によりブースターコイル 28 を直接形成することも可能である。

またブースターコイル 28 を、IC 素子と非接触通信を行なう第 1 のコイルと外部リーダライタと通信を行なう第 1 のコイルより大きな第 2 のコイルを直列に接続した構成とすることで、通信距離を伸ばすことも可能である。

〈情報担体の製造方法〉

- 15 次に、本発明に係る情報担体製造方法の実施形態例を、図 18 乃至図 22 に基づいて説明する。図 18 は本発明に係る情報担体の製造に使用される帯状素材の第 1 例を示す部分斜視図、図 19 は帯状素材の第 2 例を示す部分斜視図、図 20 は帯状素材の第 3 例を示す部分斜視図、図 21 は帯状素材の第 4 例を示す部分斜視図、図 22 は帯状素材の第 5 例を示す部分斜視図である。
- 20 本発明の情報担体製造方法は、帯状に形成された 1 つの基体構成用の素材（帯状素材）に IC 素子 1 を含む所要の搭載部品を設定し、次いで、必要に応じて、当該帯状素材の片面又は両面に他の帯状素材を接合するか搭載部品のポッシングを行い、かかる後に、単体の若しくは接合された帯状素材から所要の情報担体を打ち抜き形成することを特徴とする。本発明に係る情報担体製造方法の実施には、図 18 に示すように IC 素子 1 を収納するための透孔 27 が一定間隔で開設された帯状素材 41、図 19 に示すように IC 素子 1 を収納するための透孔 27 が一定間隔で開設されると共に各透孔 27 の周囲にブースターコイル 28 を収納するためのリング状の凹部 29 が同心に形成され、当該リング状の凹部 29 の底面に接着剤層 32 が塗布された帯状素材 42、図 20 に示すように IC 素子 1 を收

納するための凹部 30 が一定間隔で開設され、当該凹部 30 の底面に接着剤層 32 が塗布された帯状素材 43、図 21 に示すように IC 素子 1 を収納するための第 1 凹部 30 が一定間隔で開設されると共に各第 1 凹部 30 の周囲にブースタコイル 28 を収納するためのリング状の第 2 凹部 29 が同心に形成され、これら各 5 凹部 29, 30 の底面に接着剤層 32 が塗布された帯状素材 44、図 22 に示すように透孔や凹部を有さず片面に接着剤層 25 が均一に塗布帯状素材 45 が選択的に用いられる。

本発明に係る情報担体製造方法の第 1 例は、第 1 実施形態例に係る情報担体 20a を製造するためのものであって、図 18 に示した 1 枚の帯状素材 41 と図 2 10 2 に示した 2 枚の帯状素材 45 を用いる。そして、まず帯状素材 41 の片面に接着剤層 25 を介して帯状素材 45 を接合し、IC 素子 1 を収納可能な空間を有する帯状部材 41, 45 の接合体を得る。次いで、前記空間内に IC 素子 1 を位置決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、帯状素材 41 の他面側にもう 1 枚の帯状素材 45 を接着剤層 25 を介して接合し、内 15 部空間内に IC 素子 1 が収納された帯状部材 41, 45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 1 実施形態例に係る情報担体 20a を得る。本例の情報担体製造方法は、帯状素材 41, 45 に多数の IC 素子 1 をケーシングし、かかる後にこの帯状素材 41, 45 から所要の情報担体を打ち抜き形成するので、同一の情報担体を高能率に製造することができ、情報担体の製造コストを低減することができる。

本発明に係る情報担体製造方法の第 2 例は、第 2 実施形態例に係る情報担体 20b を製造するためのものであって、図 19 に示した 1 枚の帯状素材 42 と図 2 2 に示した 2 枚の帯状素材 45 を用いる。そして、まず帯状素材 42 に形成されたリング状の凹部 29 内にブースタコイル 28 を収納し、接着剤層 32 を介して当該凹部 29 の底面に接着する。次いで、帯状素材 42 の片面に接着剤層 25 を介して帯状素材 45 を接合し、IC 素子 1 を収納可能な空間を有する帯状部材 42, 45 の接合体を得る。次いで、前記空間内に IC 素子 1 を位置決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、帯状素材 41 の他面側にもう 1 枚の帯状素材 45 を接着剤層 25 を介して接合し、内部空間内に I

C素子1が収納された帯状部材42、45の接合体を得る。最後に、この接合体を所定の形状に切断して、第2実施形態例に係る情報担体20bを得る。本例の情報担体製造方法も、第1実施形態例に係る情報担体製造方法と同様の効果を有する。

- 5 本発明に係る情報担体製造方法の第3例は、第3実施形態例に係る情報担体20cを製造するためのものであって、図20に示した1枚の帯状素材43と図22に示した1枚の帯状素材45を用いる。そして、まず帯状素材43に形成された凹部30内にIC素子1を位置決めして収納し、接着剤層32を介して当該凹部30の底面に接着する。次いで、帯状素材43の凹部形成面側に帯状素材45を接着剤層25を介して接合し、内部空間内にIC素子1が収納された帯状部材43、45の接合体を得る。最後に、この接合体を所定の形状に切断して、第3実施形態例に係る情報担体20cを得る。本例の情報担体製造方法も、第1実施形態例に係る情報担体製造方法と同様の効果を有する。
- 10

本発明に係る情報担体製造方法の第4例は、第4実施形態例に係る情報担体20dを製造するためのものであって、図21に示した1枚の帯状素材44と図22に示した1枚の帯状素材45を用いる。そして、まず帯状素材44に形成された第1凹部30内にIC素子1を位置決めして収納し、接着剤層32を介して当該凹部30の底面に接着すると共に、当該帯状素材44に形成されたリング状の第2凹部29内にブースタコイル28を収納し、接着剤層32を介して当該凹部29の底面に接着する。次いで、帯状素材44の凹部形成面側に帯状素材45を接着剤層25を介して接合し、内部空間内にIC素子1が収納された帯状部材44、45の接合体を得る。最後に、この接合体を所定の形状に切断して、第3実施形態例に係る情報担体20cを得る。本例の情報担体製造方法も、第1実施形態例に係る情報担体製造方法と同様の効果を有する。

20

- 25 本発明に係る情報担体製造方法の第5例は、第5実施形態例に係る情報担体20eを製造するためのものであって、図18に示した1枚の帯状素材41と図22に示した1枚の帯状素材45を用いる。そして、まず帯状素材41の片面に接着剤層25を介して帯状素材45を接合し、IC素子1を収納可能な空間を有する帯状部材41、45の接合体を得る。次いで、前記空間内にIC素子1を位置

決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、前記 IC 素子 1 が収納された空間内にポッティング樹脂 31 を充填し、IC 素子 1 が設定された帯状部材 41, 45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 5 実施形態例に係る情報担体 20e を得る。本例の情報担体製造方法も、第 1 実施形態例に係る情報担体製造方法と同様の効果を有する。

本発明に係る情報担体製造方法の第 6 例は、第 6 実施形態例に係る情報担体 20f を製造するためのものであって、図 19 に示した 1 枚の帯状素材 42 と図 2 に示した 1 枚の帯状素材 45 を用いる。そして、まず帯状素材 42 に形成されたリング状の凹部 29 内にブースタコイル 28 を収納し、接着剤層 32 を介して 10 当該凹部 29 の底面に接着する。次いで、帯状素材 42 の片面に帯状素材 45 を接着剤層 25 を介して接合し、IC 素子 1 を収納可能な空間を有する帯状部材 42, 45 の接合体を得る。次いで、前記空間内に IC 素子 1 を位置決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、前記ブースタコイル 28 が収納された凹部 29 内と前記 IC 素子 1 が収納された空間内にポッティング樹脂 31 を充填し、IC 素子 1 及びブースタコイル 28 が設定された帯状部材 42, 45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 15 第 6 実施形態例に係る情報担体 20f を得る。本例の情報担体製造方法も、第 1 実施形態例に係る情報担体製造方法と同様の効果を有する。

本発明に係る情報担体製造方法の第 7 例は、第 7 実施形態例に係る情報担体 20g を製造するためのものであって、図 20 に示した 1 枚の帯状素材 43 を用いる。そして、まず帯状素材 43 に形成された凹部 30 内に IC 素子 1 を位置決めして収納し、接着剤層 32 を介して当該凹部 30 の底面に接着する。次いで、前記 IC 素子 1 が収納された凹部 30 内にポッティング樹脂 31 を充填し、IC 素子 1 が設定された帯状部材 43 を得る。最後に、この帯状部材 43 を所定の形状 25 に切断して、第 7 実施形態例に係る情報担体 20g を得る。本例の情報担体製造方法も、第 1 実施形態例に係る情報担体製造方法と同様の効果を有する。

本発明に係る情報担体製造方法の第 8 例は、第 8 実施形態例に係る情報担体 20h を製造するためのものであって、図 21 に示した 1 枚の帯状素材 44 を用いる。そして、まず帯状素材 44 に形成された第 1 凹部 30 内に IC 素子 1 を位置

決めして収納し、接着剤層32を介して当該凹部30の底面に接着すると共に、当該帯状素材44に形成されたリング状の第2凹部29内にブースタコイル28を収納し、接着剤層32を介して当該凹部29の底面に接着する。次いで、前記IC素子1が収納された第1凹部30内及び前記ブースタコイル28が収納された第2凹部29内にポッティング樹脂31を充填し、IC素子1及びブースタコイル28が設定された帯状部材43を得る。最後に、この接合体を所定の形状に切断して、第8実施形態例に係る情報担体20hを得る。本例の情報担体製造方法も、第1実施形態例に係る情報担体製造方法と同様の効果を有する。

なお、前記第2、第4、第6、第8実施形態例においては、ブースタコイル28を基体21と独立の別体に形成したが、基体21を構成するいずれかの帯状部材に印刷形成することもできる。

産業上の利用可能性

以上説明したように、本発明のIC素子は、IC素子と一緒に形成されるコイルの導体を金属スパッタ層又は金属蒸着層と金属めっき層とを有する多層構造にしており、当該導体を単に金属スパッタ層のみ又は金属蒸着層のみから構成した場合に比べて電磁エネルギーの損失を小さくすることができ、リーダライタからの受給電力の安定化、リーダライタとの間の通信の安定化、及びリーダライタとの間の通信距離の拡大を図ることができる。

本発明のIC素子製造方法は、個々のIC素子にコイルを形成するのではなく、完成ウェハに個々のIC素子に応じた多数のコイルを同時に形成するので、コイルが一体形成されたIC素子を高能率に製造することができ、この種のIC素子の低コスト化を図ることができる。

本発明の情報担体は、コイルが一体形成されたIC素子を基体の平面方向の中心部に配置したので、IC素子と一緒に形成されたコイルとリーダライタに備えられたアンテナコイルの中心を容易に合致させることができ、両コイル間の電磁結合係数を大きくすることができるので、リーダライタから情報担体への電力の供給及びリーダライタと情報担体との間の信号の送受信を安定化できる。

本発明の情報担体製造方法は、帯状素材にIC素子を含む所要の搭載部品が搭載されたものを作製し、しかる後にこの帯状素材から所要の情報担体を打ち抜き

形成するようにしたので、同一の情報担体を高能率に製造することができ、 I C 素子を備えた情報担体の製造コストを低減することができる。

請求の範囲

1. 外部とのデータ通信を非接触で行なうためのコイルが一体形成された IC 素子において、前記コイルを構成する導体を、金属スパッタ層又は金属蒸着層と
5 金属めっき層とを有する多層構造にしたことを特徴とする IC 素子。
2. 請求項 1 に記載の IC 素子において、前記金属スパッタ層又は金属蒸着層をアルミニウム・ニッケル・銅・クロムのうちの少なくとも 1 つの金属又はこれらを含む合金で形成し、前記金属スパッタ層又は金属蒸着層の上に前記金属めっきを銅で形成したことを特徴とする IC 素子。
- 10 3. 請求項 1 に記載の IC 素子において、絶縁性の表面保護膜を介して前記 IC 素子の出入力端子形成面側に前記コイルを形成し、前記 IC 素子の出入力端子と前記コイルとを、前記表面保護膜に開設された前記コイルの線幅よりも小径の透孔を介して電気的に接続したことを特徴とする IC 素子。
4. 請求項 1 に記載の IC 素子において、前記コイルの平面形状を矩形スパイ
15 ラル形状とし、角部の全部又は一部に面取りを施したことを特徴とする IC 素子。
5. 請求項 1 に記載の IC 素子において、前記金属めっき層を、無電解めっき法又は電気めっき法若しくは精密電鋳法により形成したことを特徴とする IC 素子。
6. 請求項 1 に記載の IC 素子において、前記コイルの線幅を $7 \mu m$ 以上、線
20 間距離を $5 \mu m$ 以下、巻数を 20 ターン以上としたことを特徴とする IC 素子。
7. 所定のプロセスを経て作製された完成ウエハの表面保護膜上に金属スパッタ層又は金属蒸着層を均一に形成する工程と、当該金属スパッタ層又は金属蒸着層上にフォトトレジスト層を均一に形成する工程と、前記フォトトレジスト層に外部とのデータ通信を非接触で行なうためのコイルを含む所要のパターンを露光・現
25 像することで前記金属スパッタ層又は金属蒸着層を前記所定のパターンで露出させる工程と、前記金属スパッタ層又は金属蒸着層の露出部分に無電解めっき法又は電気めっき法若しくは精密電鋳法を用いて金属めっき層を積層する工程と、前記完成ウエハに付着したフォトトレジスト層を除去する工程と、前記金属めっき層より露出した前記金属スパッタ層又は金属蒸着層を選択的にエッチングし、前記

所定のパターンに相当する所定の導電パターンを形成する工程と、前記完成ウエハをスクライビングしてコイルが一体形成された所要のIC素子を得る工程とを含むことを特徴とするIC素子の製造方法。

8. 所定のプロセスを経て作製された完成ウエハの表面保護膜上にフォトレジスト層を均一に形成する工程と、前記フォトレジスト層に外部とのデータ通信を非接触で行なうためのコイルを含む所要のパターンを露光・現像することで、前記表面保護膜を前記所定のパターンで露出させる工程と、現像処理後の完成ウエハをスパッタ装置又は真空蒸着装置に装着し、前記表面保護膜の露出部分に金属スパッタ層又は金属蒸着層を形成する工程と、前記完成ウエハに付着したフォトレジスト層を除去する工程と、前記金属スパッタ層又は金属蒸着層に無電解めっき法又は電気めっき法を用いて金属めっき層を積層する工程と、前記完成ウエハをスクライビングしてコイルが一体形成された所要のIC素子を得る工程とを含むことを特徴とするIC素子の製造方法。
9. 外部とのデータ通信を非接触で行なうためのアンテナコイルが一体形成されたIC素子を基体に搭載してなる情報担体において、前記IC素子を前記基体の平面方向の中心部に配置したことを特徴とする情報担体。
10. 請求項9に記載の情報担体において、前記IC素子の表裏両面側を前記基体にて覆ったことを特徴とする情報担体。
11. 請求項9に記載の情報担体において、前記IC素子の片面側のみを前記基体にて覆ったことを特徴とする情報担体。
12. 請求項9に記載の情報担体において、前記基体の平面形状を、円形又は正方形に形成したことを特徴とする情報担体。
13. 請求項9に記載の情報担体において、前記基体の全部又は一部を紙にて形成したことを特徴とする情報担体。
14. 請求項9に記載の情報担体において、前記基体を上部材と下部材と中間部材とからなる3層の貼り合わせ構造とし、前記中間部材の中央部に開設された透孔内に前記IC素子を収納したことを特徴とする情報担体。
15. 請求項14に記載の情報担体において、前記透孔の平面形状を円形にしたことを見出せる特徴とする情報担体。

16. 請求項 9 に記載の情報担体において、前記基体を上部材と下部材とからなる 2 層の貼り合わせ構造とし、前記上部材又は下部材の中央部に形成された凹部内に前記 IC 素子を収納したことを特徴とする情報担体。

17. 請求項 9 に記載の情報担体において、前記基体を単層構造とし、前記基体 5 の中央部に形成された凹部内に前記 IC 素子を収納したことを特徴とする情報担体。

18. 請求項 16 又は請求項 17 に記載の情報担体において、前記凹部の平面形状を円形にしたことを特徴とする情報担体。

19. 請求項 9 に記載の情報担体において、前記基体内に、前記 IC 素子と独立 10 の別体に形成された他のコイルを備えたことを特徴とする情報担体。

20. IC 素子を挿入可能な多数の透孔が規則的に開設された第 1 帯状素材と透孔を有しない第 2 帯状素材とを接合する工程と、コイルが一体形成された IC 素子を前記透孔内に収納して固定する工程と、前記第 1 帯状素材と透孔を有しない第 3 帯状素材とを接合する工程と、接合された前記第 1 乃至第 3 の帯状素材を一 15 体に打ち抜いて前記 IC 素子を有する所要の情報担体を得る工程とを含むことを特徴とする情報担体の製造方法。

21. IC 素子を挿入可能な多数の透孔が規則的に開設され、かつ、当該各透孔の周囲にリング状の凹部が同心円状に形成された第 1 帯状素材の前記凹部内に前記 IC 素子とは独立の別体に形成されたコイルを収納して固定する工程と、前記 20 第 1 帯状素材の片面に透孔を有しない第 2 帯状素材を接合する工程と、コイルが一体形成された IC 素子を前記透孔内に収納して固定する工程と、前記第 1 帯状素材と透孔を有しない第 3 帯状素材とを接合する工程と、接合された前記第 1 乃至第 3 の帯状素材を一体に打ち抜いて前記 IC 素子及び当該 IC 素子とは独立の別体に形成されたコイルを有する所要の情報担体を得る工程とを含むことを特徴 25 とする情報担体の製造方法。

22. IC 素子を挿入可能な多数の凹部が規則的に形成された第 1 帯状素材の前記凹部内にコイルが一体形成された IC 素子を収納して固定する工程と、前記第 1 帯状素材の凹部形成面側に透孔を有しない第 2 帯状素材を接合する工程と、接合された前記第 1 及び第 2 の帯状素材を一体に打ち抜いて前記 IC 素子を有する

所要の情報担体を得る工程とを含むことを特徴とする情報担体の製造方法。

23. IC素子を挿入可能な多数の第1凹部が規則的に形成され、かつ、当該各第1凹部の周囲にリング状の第2凹部が同心円状に形成された第1帯状素材の前記第1凹部内にコイルが一体形成されたIC素子を収納して固定する工程と、前記第1帯状素材の第2凹部内に前記IC素子とは独立の別体に形成されたコイルを収納して固定する工程と、前記第1帯状素材の凹部形成面側に透孔を有しない第2帯状素材を接合する工程と、接合された前記第1及び第2の帯状素材を一体に打ち抜いて前記IC素子及び当該IC素子とは独立の別体に形成されたコイルを有する所要の情報担体を得る工程とを含むことを特徴とする情報担体の製造方法。

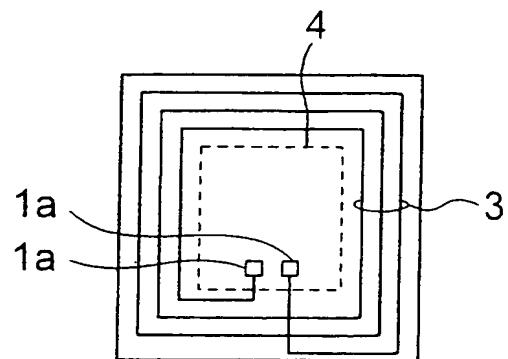
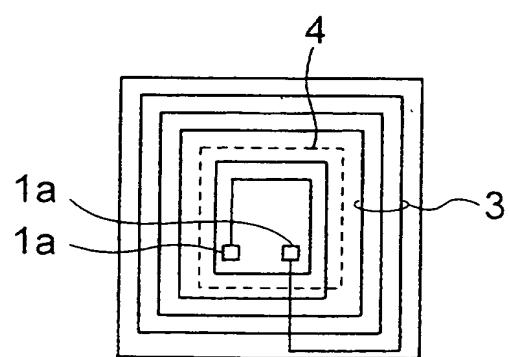
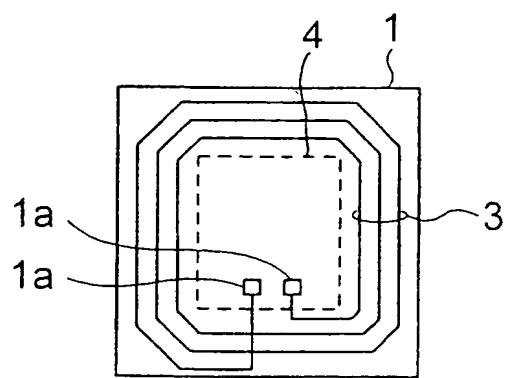
24. IC素子を挿入可能な多数の透孔が規則的に開設された第1帯状素材と透孔を有しない第2帯状素材とを接合する工程と、コイルが一体形成されたIC素子を前記透孔内に収納して固定する工程と、前記IC素子が収納された前記透孔を樹脂封止する工程と、接合された前記第1及び第2の帯状素材を一体に打ち抜いて前記IC素子を有する所要の情報担体を得る工程とを含むことを特徴とする情報担体の製造方法。

25. IC素子を挿入可能な多数の透孔が規則的に開設され、かつ、当該各透孔の周囲にリング状の凹部が同心円状に形成された第1帯状素材の前記凹部内に前記IC素子とは独立の別体に形成されたコイルを収納して固定する工程と、前記第1帯状素材と透孔を有しない第2帯状素材とを接合する工程と、前記コイルが収納された前記透孔を樹脂封止する工程と、接合された前記第1及び第2の帯状素材を一体に打ち抜いて前記IC素子及び当該IC素子とは独立の別体に形成されたコイルを有する所要の情報担体を得る工程とを含むことを特徴とする情報担体の製造方法。

26. IC素子を挿入可能な多数の凹部が規則的に形成された帯状素材の前記凹部内にコイルが一体形成されたIC素子を収納して固定する工程と、前記IC素子が収納された前記凹部を樹脂封止する工程と、前記帯状素材を打ち抜いて前記IC素子を有する所要の情報担体を得る工程とを含むことを特徴とする情報担体の製造方法。

27. IC素子を挿入可能な多数の第1凹部が規則的に形成され、かつ、当該各第1凹部の周囲にリング状の第2凹部が同心円状に形成された帯状素材の前記第1凹部内にコイルが一体形成されたIC素子を収納して固定する工程と、前記帯状部材の第2凹部内に前記IC素子とは独立の別体に形成されたコイルを収納して固定する工程と、前記第1及び第二の凹部を樹脂封止する工程と、前記帯状素材を打ち抜いて前記IC素子及び当該IC素子とは独立の別体に形成されたコイルを有する所要の情報担体を得る工程とを含むことを特徴とする情報担体の製造方法。

1 / 10

FIG. 1A**FIG. 1B****FIG. 1C**

2 / 10

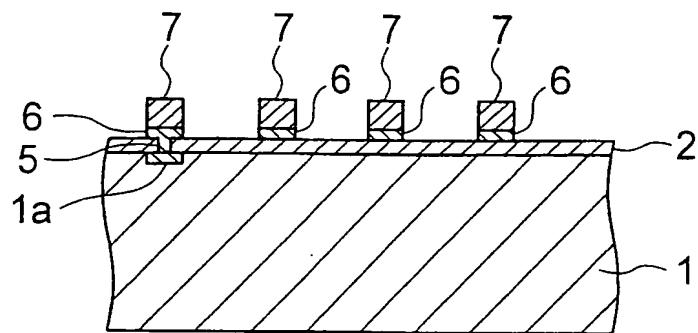
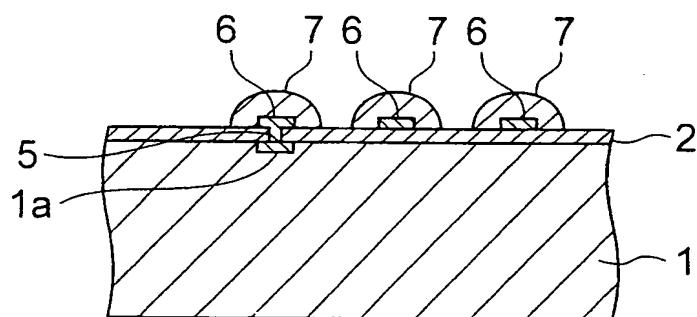
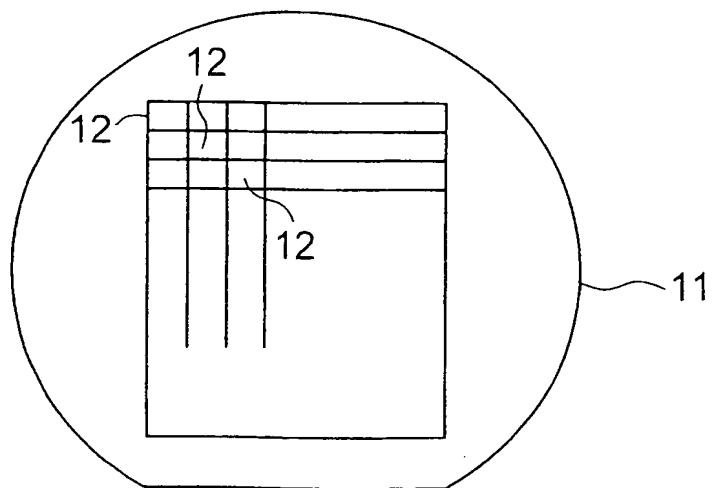
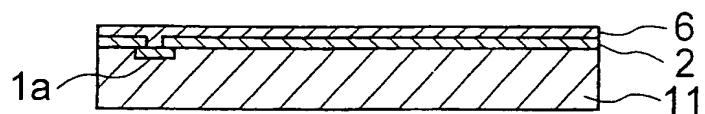
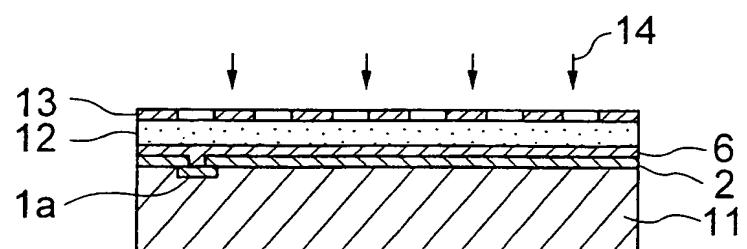
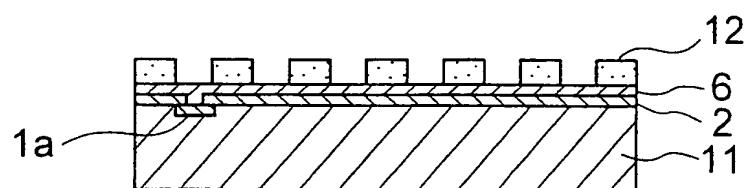
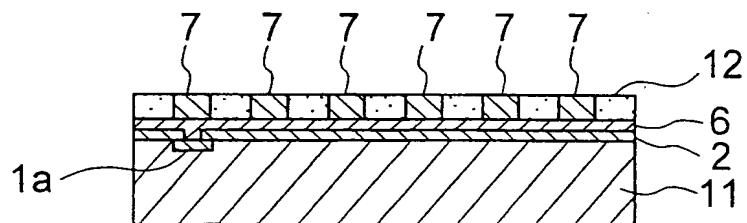
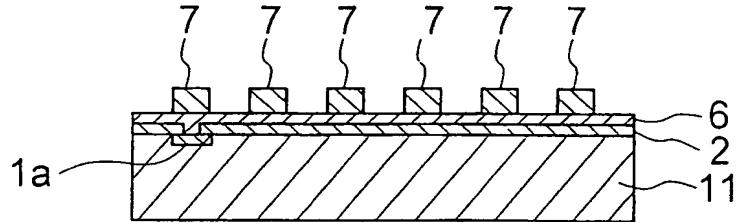
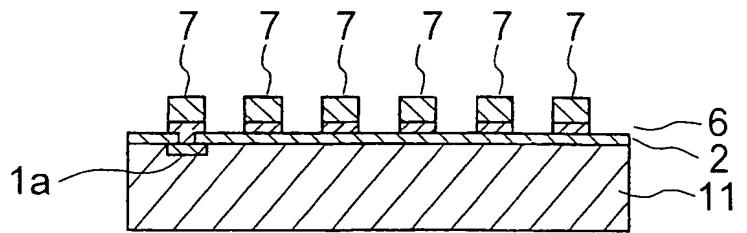
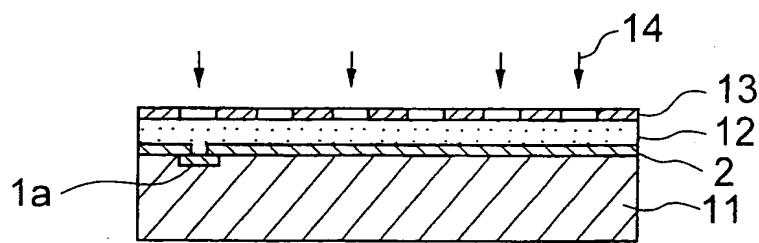
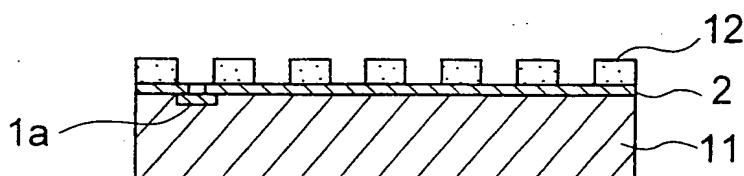
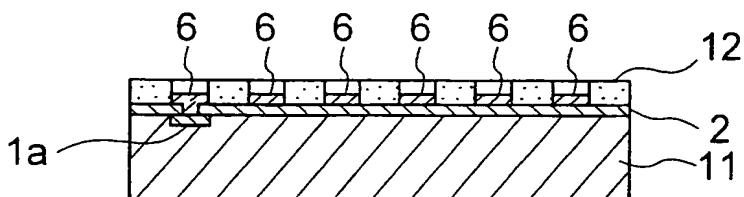
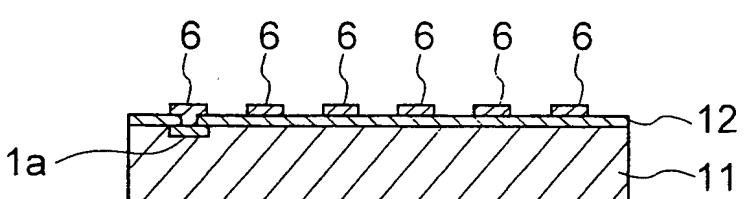
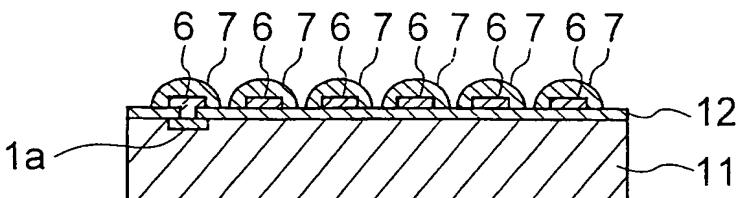
FIG. 2 A**FIG. 2 B****FIG. 3**

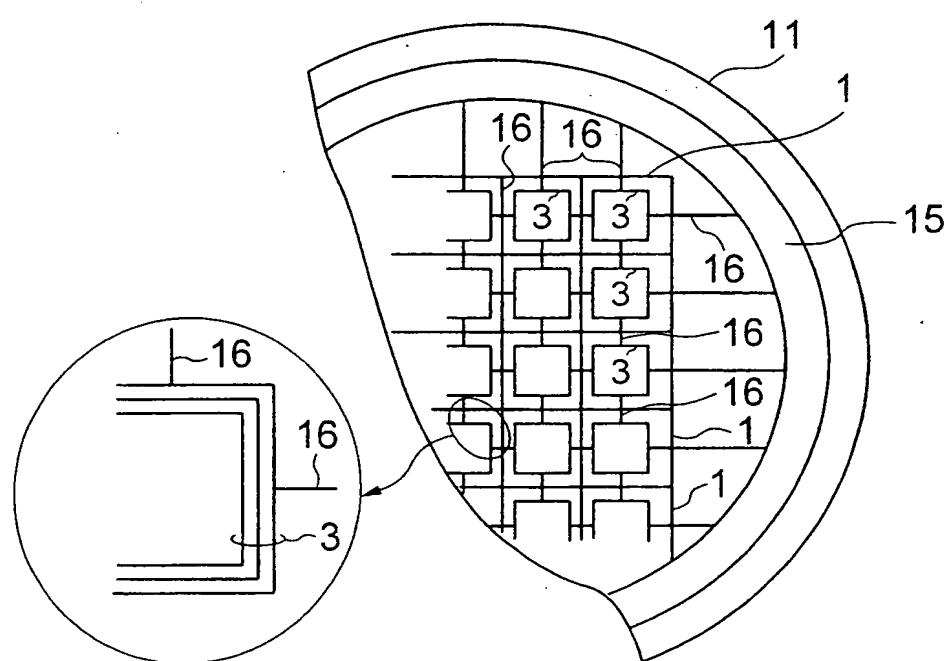
FIG. 4 A**FIG. 4 B****FIG. 4 C****FIG. 4 D****FIG. 4 E****FIG. 4 F**

4 / 10

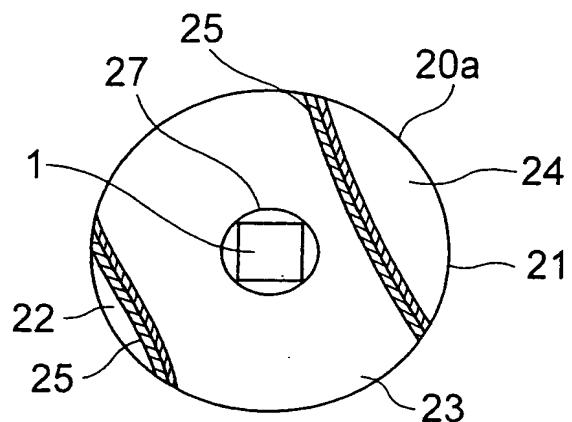
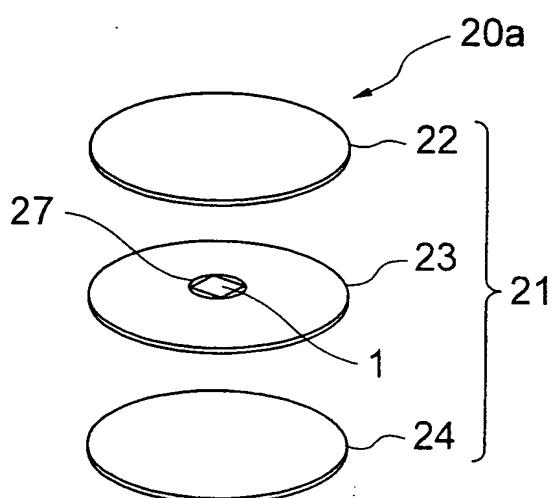
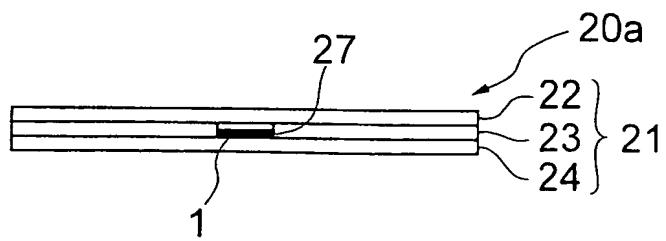
FIG. 5 A**FIG. 5 B****FIG. 5 C****FIG. 5 D****FIG. 5 E**

5 / 10

FIG. 6



6 / 10

FIG. 7**FIG. 8****FIG. 9**

7 / 10
FIG. 10

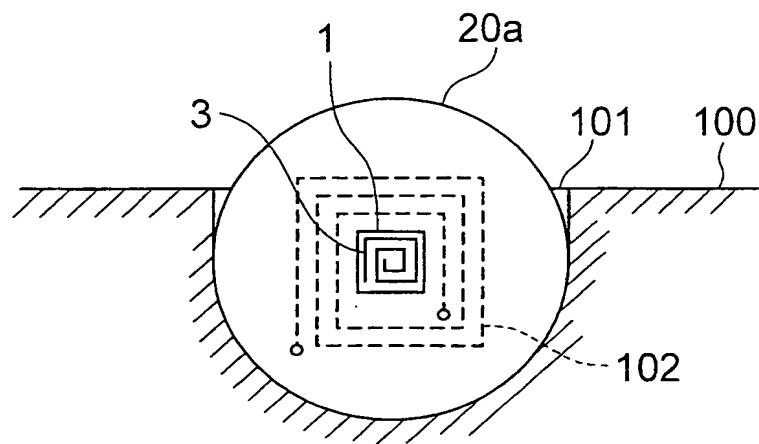


FIG. 11

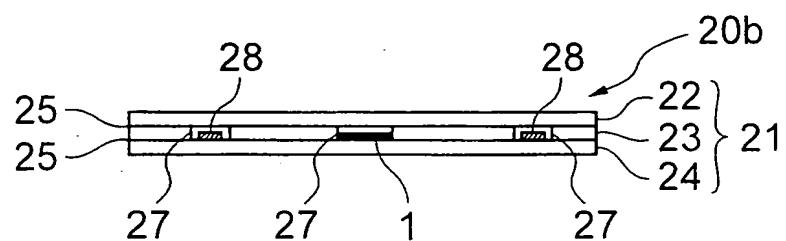


FIG. 12

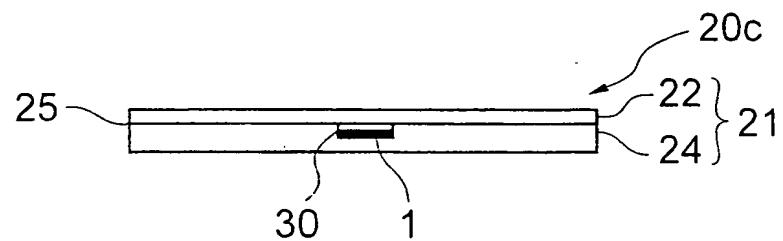
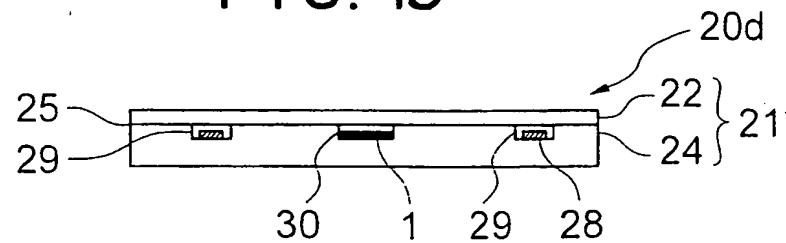


FIG. 13



8 / 10

FIG. 14

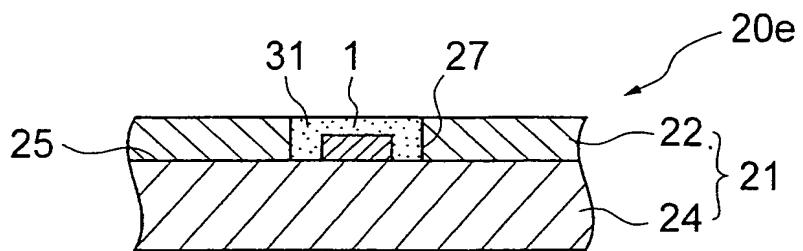


FIG. 15

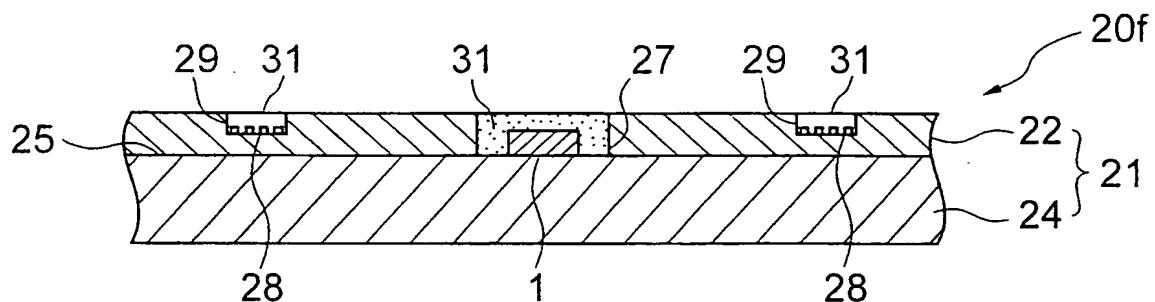


FIG. 16

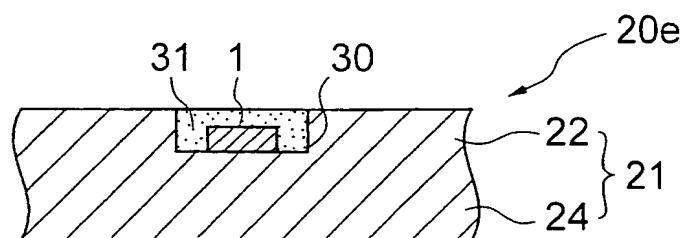
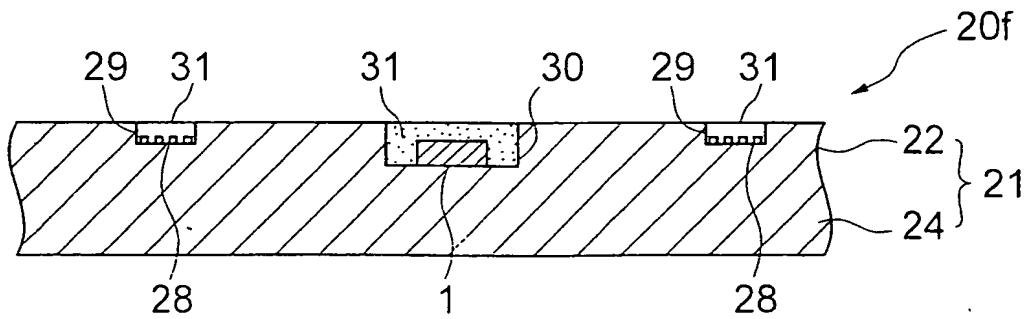


FIG. 17



9 / 10

FIG. 18

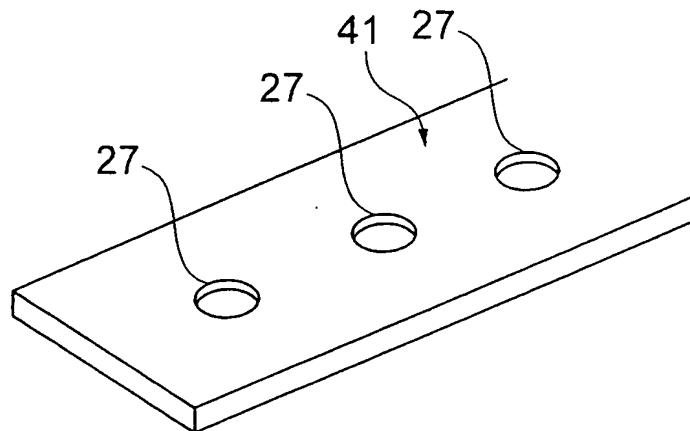
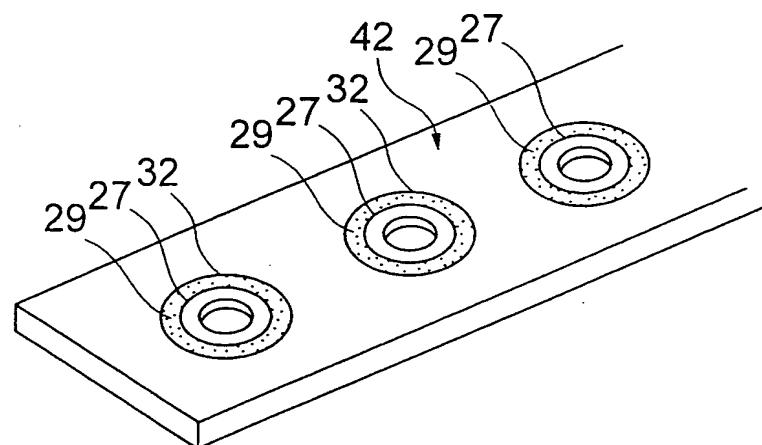
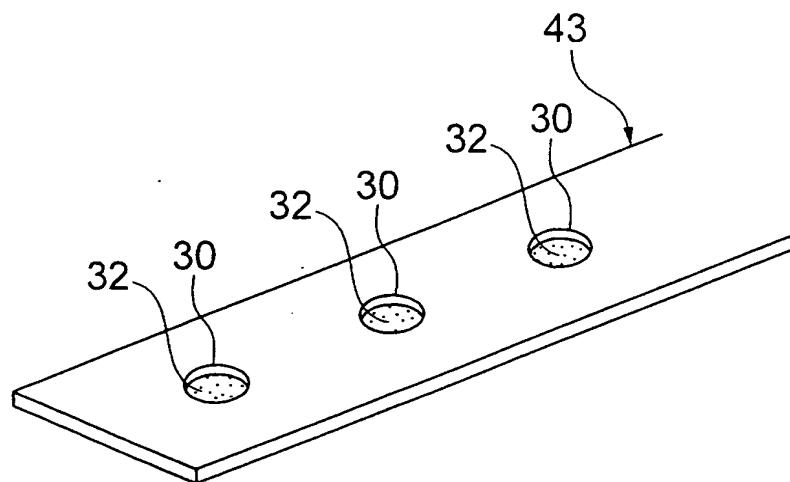
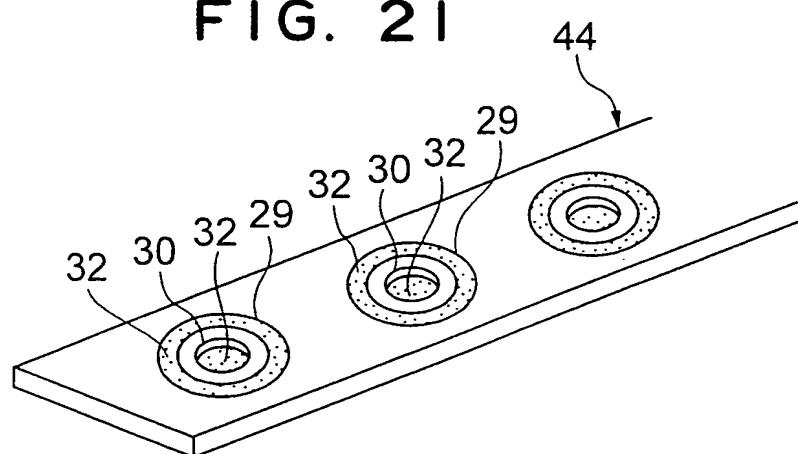
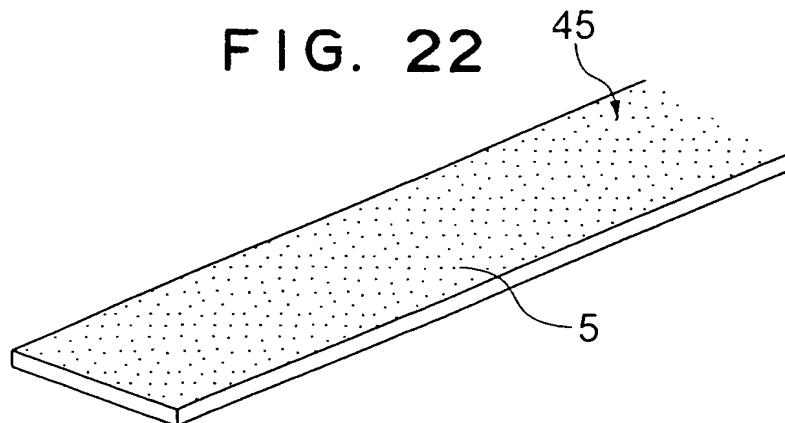


FIG. 19



10 / 10

FIG. 20**FIG. 21****FIG. 22**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01029

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L25/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L25/00

Int.Cl⁷ B42D15/00

Int.Cl⁷ H01Q 1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-222695, A (Hitachi, Ltd.), 30 August, 1996 (30.08.96), page 3, right column, line 41 to page 4, left column, line 49; Figs. 1, 5 (Family: none)	1-8
X	JP, 11-17443, A (Kyocera Corporation), 22 January, 1999 (22.01.99), page 3; lines 1 to 37; Figs. 1, 2 (Family: none)	9, 11, 12, 14, 15
Y	US, 5856662, A (Hitachi Maxell, Ltd.), 05 January, 1999 (05.01.99), Full text; Figs. 2, 27 & JP, 9-275184, A	10, 13, 16-19
Y	JP, 10-320519, A (Rohm Co., Ltd.), 04 December, 1998 (04.12.98), Full text; Figs. 1, 8 (Family: none)	20-27
Y	JP, 10-302040, A (Toshiba Corporation), 13 November, 1998 (13.11.98), Full text; Figs. 1 to 7 (Family: none)	20-27

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 May, 2000 (22.05.00)

Date of mailing of the international search report
30.05.00

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01029

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-203061, A (Dainippon Printing Co., Ltd.), 04 August, 1998 (04.08.98), Full text; Figs. 1 to 6 (Family: none)	1-27

国際調査報告

国際出願番号 PCT/JPOO/01029

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. C17 H01L25/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H01L25/00
Int. C17 B42D15/00
Int. C17 H01Q 1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 8-222695, A (株式会社日立製作所), 30. 8月. 1996 (30. 08. 96), 第3頁右欄第41行-第4頁左欄第49行, 第1図, 第5図 (ファミリーなし)	1-8
X	JP, 11-17443, A (京セラ株式会社), 22. 1月. 1999 (22. 01. 99), 第3頁, 第1-37行, 第1図, 第2図 (ファミリーなし)	9, 11, 12, 14, 15
Y		10, 13, 16-19

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 22. 05. 00	国際調査報告の発送日 30.05.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 守安 太郎 電話番号 03-3581-1101 内線 3470  4R 9347

国際調査報告

国際出願番号 PCT/JP00/01029

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	U S , 5 8 5 6 6 6 2 , A (Hitachi Maxell, Ltd.) 5. 1月. 1 9 9 9 (0 5. 0 1. 9 9) 全文, 第2図, 第27図 & J P , 9 - 2 7 5 1 8 4 , A	10, 13, 16-19
Y	J P , 1 0 - 3 2 0 5 1 9 , A (ローム株式会社) , 4. 12月. 1 9 9 8 (0 4. 1 2. 9 8) , 全文, 第1図, 第8図 (ファミリーなし)	20-27
Y	J P , 1 0 - 3 0 2 0 4 0 , A (株式会社東芝) , 1 3. 11月. 1 9 9 8 (1 3. 1 1. 9 8) , 全文, 第1-7図 (ファミリーなし)	20-27
A	J P , 1 0 - 2 0 3 0 6 1 , A (大日本印刷株式会社) , 4. 8月. 1 9 9 8 (0 4. 0 8. 9 8) , 全文, 第1-6図 (ファミリーなし)	1-27